

CHARGE TRANSFER DEVICE

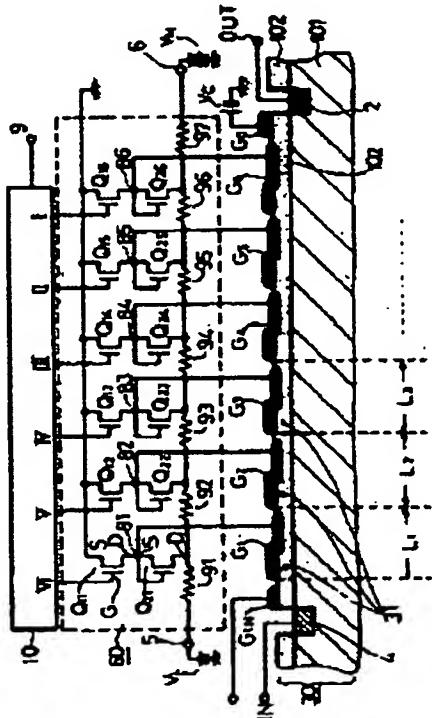
Patent number: JP55165687
Publication date: 1980-12-24
Inventor: MIYAMOTO YOSHIHIRO
Applicant: FUJITSU LTD
Classification:
- **International:** H01L27/148; H01L27/148; (IPC1-7): H01L29/76;
H01L31/10; H04N3/14
- **European:** H01L27/148
Application number: JP19790073902 19790611
Priority number(s): JP19790073902 19790611

Report a data error here

Abstract of JP55165687

PURPOSE: To make the depth of each well correspond to the quantity of stored charge by a method wherein when the transferring electrodes are provided on the surface of a semiconductor substrate through an insulating film and voltage is applied to them to transfer the charge, the further the electrode position is backward in the transfer direction, the higher the voltage level is applied to it.

CONSTITUTION: The insulating film 102 is provided on the P-type semiconductor substrate 101, apertures are made at both end parts of the film, and the input and output diodes 4, 2 are formed by the diffusion method. Also plural transferring electrodes G1-G6 are mounted on the film 102 that is located between both apertures 4, 2, the input and output gate electrodes G1N, G0 are provided to both end parts of said film 102 to make up the time delay integration type CCD element 30. In this configuration, when a driving voltage is applied to the respective electrodes G1-G6, a higher voltage is applied to the electrode the further the electrode is located backward in the transfer direction by means of the shift resistor 10 and the driver 60. The driver 60 is composed of the voltage divider circuit, in which the resistances 91-97 are connected to each other in series, and N channel enhancement type switching and depletion type loading MOS transistors Q11-Q16 and Q21-Q26.



Data supplied from the esp@cenet database - Worldwide

⑯ 日本国特許庁 (JP)
⑰ 公開特許公報 (A)

⑪ 特許出願公開
昭55-165687

⑬ Int. Cl.³
H 01 L 31/10
29/76
H 04 N 3/14

識別記号
厅内整理番号
6824-5F
6603-5F
6246-5C

⑭ 公開 昭和55年(1980)12月24日
発明の数 1
審査請求 未請求

(全 6 頁)

⑮ 電荷転送装置

⑯ 特 願 昭54-73902
⑰ 出 願 昭54(1979)6月11日
⑱ 発明者 宮本義博

川崎市中原区上小田中1015番地
富士通株式会社内
⑯ 出願人 富士通株式会社
川崎市中原区上小田中1015番地
⑰ 代理人 弁理士 井桁貞一

明細書

1. 発明の名称

電荷転送装置

2. 特許請求の範囲

(1) 半導体基板表面に絶縁被膜を施して転送電極群を配設した半導体技術において、各転送電極に対し転送方向の後位にあるものほど高レベルとなるような電圧印加手段と、該電圧を順次低レベルに切替える手段とを有することを特徴とする電荷転送装置。

(2) 1ピット当たり1個の転送電極を有することを特徴とする特許請求の範囲第(1)項記載の電荷転送装置。

(3) 転送電極に印加される上記高レベル電圧を低レベルに順次転ぜしめる手段として、ソフト・レジスターを用いたことを特徴とする特許請求の範囲第(1)項または第(2)項に記載の電荷転送装置。

3. 発明の詳細な説明

本発明は時間選択型CCDに適した単位ピット当たり1電極(Electrode-Per Bit: 以下

EPBと略称する)構造のCCDIC開するものである。

例えばファクシミリや文字認識装置(以下それぞれFAX, OCRと略称する)などにおいては、最近の帯域圧縮技術の進歩向上と呼応して、該等の機器毎の1ページ当たりの画像ならびに伝送時間がますます短縮される傾向にある。それに伴つて光電変換をつかさどる光センサの撮像性能に対しても高速度、高分解能、高感度が要求されて来ている。

このように被写体移動の高速化が進んで来ると、従来の一次元光センサでは単位の受光セルの露光時間が必ずしも固定される結果、光電変換によって該光センサ内に生じる信号電荷が減少するため感度が低下し、したがつて信号対雑音比(以下S/N比と略記する)が悪化するという問題が生じる。これを補うには該センサにおける量子効率(光電変換効率)の向上および被写体側における照度(照度)の増加すなわち光路の増設などの方法があるが、そのいずれにも制限があり、

このシリアル部Sにおける電荷の受取りは、第1相転送パルス#1が印加されている奇数番号の電板201, 203, 205, ..., 219直下で行われ、第2相転送パルス#2が印加されている偶数番号の電板202, 204, 206, ..., 220は単に電荷転送の役割を果たすだけである。

いま矢印イの方向に所定の速度プログラムで進行する被写体、たとえば被写面上の一点の像が、レンズ807を介してTCSの面上においてC点上に実像として結ばれているものとする。この実像はパラレル部Pの電板111上の透光部11～20のうち、特に11の位置にあるものとすると該透光部11の直下の基板表面に光電荷が発生し、その量は像の明るさと曝光時間とによって決まる。

次に上記被写体の移動に伴つて上記の像がパラレル部P面上を矢印ハの方向に移動する時、奇数および偶数番目の転送電板に印加される転送電圧#1, #2によりパラレル部Pにおいて電荷転送を行い、かつその転送と被写体の移動とを同期せしめる。このようにすれば点Cの像が電板112の透光部21

4

強いてこれを行い被写体移送速度を例えば10倍、20倍とするならば、シのすから装置の大型化、高コスト化をまねく結果となる。

この故に、実質的に露光時間を増大せしめ、速度を高めた光センサとして、時間遅延積分(Time Delay Integration)型(以下TDI型と略称する)CCDセンサが提案された。以下ではこれを略してTCSと呼称することにする。これは第1図に見られるごとく横方向の画素数に対応した長さを有する細長い電板111, 112, 118, ..., 120を横方向の所要ピクセル数に対応した所だけ備え、電荷端C5(点線)で固定された各活性領域内の電荷を、電板の長い方向(縦方向)に転送パルス#1, #2によって転送するパラレル・レジスター(以下パラレル部と曰う)Pと、上記縦方向各列の電荷を一基に受け取り、これを横方向に転送し、出力ゲート電板1ならびに出力ダイオード2を介して出力端子0に時系列として出力するシリアル・レジスター(以下シリアル部と曰う)Sとを組合せたものである。

8

のところへ移動したとき、さきに電板111下で発生した電荷が電板112下に移動して来る。したがつて次回の転送までに上記移動して来た電荷(この点をりて表わす)にさらに電板112下で新たに発生した光電荷が加わり、総量20に達する。このようにして最初一点の実像を1ビットずつ最終電板120まで追従するという方法で露光時間を実質的に長くしてゆけば最後に底101からの光入射によって、最終的な電荷の量は図の例で100まで増大する。同様の現象がパラレル部Pの第2列、第8列,..., 第10列についても起こるから10個の転送電板を有する場合には最終電板120直下の各セル中の電荷量は、最初の電荷量の10倍に達している。したがつて被写体の送り速度が例えば10倍に増加しても、パラレル部Pの電荷数を上述した例のどとく10倍ぶるとによって所要の速度を実現できる。なお第1図中のパラレル部Pの転送電板111, 112, 118, ..., 120の直下に該方向に配列された電荷端CSは供給する転送路中の電荷を、互いに混ざり合わ

せることなく矢印への方向に案内する役割を演ずる。

しかるに上記のような構造のTCSの光センサ(パラレル部)の各ビットの光電变换によつて生じる信号電荷量は逐次加算されて行くにもかかわらず、各転送電板直下の井戸の深さ、したがつて最大電荷収納量は一定である。これは最終電板120直下において電荷飽和現象を起こす原因となる。もしこの現象を起こさないように各井戸の深さをさらに大にするならば、最初の電板111直下においては、生じる電荷が少ない場合には電板直下の井戸の深さが必要以上に大きくなる。換言すれば該井戸を削成する基板表面欠乏層の体積が大きくなるため、大きな漏洩電流を生じ、その結果上記光センサ部のS/N比は劣化するという問題が生ずる。

本発明はこうした問題点に鑑みて、各井戸の深さを蓄積電荷量に見あつたものとする構造のCCDを提供せんとするものであつて、以下図面を用いて本発明の実施例について詳説する。

6

第2回図は本発明に係るTDI用CCD80をその駆動部たるシフト・レジスタ10をドライバ部60と共に示したもので、101は駆動部102が被覆された例えはD型の半導体基板、4は上記駆動部102上に配設された転送電極Q1、Q2……Q6の下の半導体表面に電荷を送り込む入力ダイオード、2は上記表面の電荷を取り出す出力ダイオードである。なお上記の例えの転送電極上には図示されない遮光部がありがたれているが、尚ほ動作説明の便宜上からことでは省略されている。低い正の直流電圧V1、例えは2Vが印加された端子5と高い正の直流電圧V2、例えは12Vが印加された端子6との間に、複数の抵抗R1～R7が互いに直列に接続されて一枚の分圧回路を構成している。また基板で囲つたドライバ部60中では例えはカチヤンキル・エンハンスマント型のスイッチ用MOSFET、Q11～Q16と負荷用デアンシジョン用MOSFET、Q21～Q26のそれぞれが直列に接続されて、それぞれ単位のドライバを構成しており、そのドレイン電圧は端子5から6に向かうほど、

段階的に高まる上記分圧回路の抵抗開路端点の電圧となつてある。そしてスイッチ用と負荷用の両MOSFETの各駆動点81～86がC1、30の各転送電極G1～G6につながつてあるため、出力ダイオード2に近い転送電極ほど上位の各ドレイン電圧に対応した大きさの転送電圧が印加される。

ところで、シフト・レジスタ10の全端子1～4における各出力電圧は停止時にはすべて低レベルにあり、このため全スイッチ用MOSFETが遮断状態にある。このスイッチ用MOSFETと負荷用MOSFETとの駆動点81～86に現れる駆動各電圧によつて、CCD80の各転送電極直下の井戸は転送方向の後位ほど深くなる。第2回図はこの様子を示す例であつて各井戸41～46中の各電荷は、図では示されていないが先あるいは電気的手段によつて各井戸に信号入力され、それが順に右方向へ転送されて来たものである。今、仮に井戸41～46のうち、任意の1ピット分、例えは転送電極G2直下の井戸45に荷付した井戸の端子54と55とを横目して見れば、55は54よりも電

位的に高まつてゐる。このため例えば井戸45が消滅してその中の電荷が他の井戸44中へ移される場合には、前記の高い方の端子55が電位の端子となつて該井戸45中の電荷が井戸46中に流入することを防ぐ。こうした電荷の逆方向転送を防止する障壁部51～56は、各転送電極直下の端子102に設けられた端厚の大なる部分81によつて作られる。

なお、50は出力ゲートG0直下に作られる障壁であつて、その高さは障壁51よりもやや低くなるように直流電圧V0が該出力ゲートG0に印加されている。

ところで負の低レベルにあつたシフト・レジスタ10の各端子の出力電圧は、駆動開始信号が入力端子9に加われば、まず端子1において高レベルに転じ、このためMOSFET、Q16が導通状態となる。かくすれば点86の電位は低レベル、換言すれば零に近くなるため、転送電極G6直下の井戸41は消滅し、この結果同回図に示したとくその中にあつた電荷は、充分に逆バイアスされてい

る出力ダイオード2の井戸48中に矢印トで示したとく流入し、該出力ダイオード2の出力端子OUTから出力信号となつて取り出される。さらにレジスタ10の端子1の電位が低レベルに復帰すると同時に端子1が高レベルとなり、従つてこの端子につながつたMOSFET、Q16が導通状態となれば、転送電極G5には先に電圧V0に加わつた電圧よりもやや低い転送電圧が印加される。その結果電極G5直下の井戸の点42は矢印トで示したとく持ち上がり、該井戸中の電荷は先に空にされた後再び深まつた井戸41中へ点線矢印トで示したとく移される。以下、レジスタ10の端子2、3、……が順に高レベルとなるにつれ、井戸43、44、……中の電荷は右側に隣接する井戸方向へ順次転送されるが、転送電極G1直下の井戸48中の電荷が井戸45中に移つてなくなれば、入力ダイオード4の入力端子INに加えられるバ尔斯電圧によつて該ダイオード4の井戸47中から新たに電荷が上記の井戸46中に供給される。なお同回図中のG1は入力ゲート電極であつてこの

供給電荷の制御に用いられるものである。

一方、本実施例は第2回の断面構造から理解されるごとく、1ピットに相当する長さ1ロジットは、…ごとに転送電板が1倍配設されているのみで、電荷転送部の構造は簡略である。この構造は最初に述べたようにEPB構造と呼ばれ、ピット当たりの所要基板面積の減少上極めて有利である。ところで前述したように、CCD80に当る各井戸の深さが大である程、信噪電比も大、したがつてそれに基づいて発生する雜音も大となるから、該井戸中に蓄積される電荷が深さに少ないとS/N比が劣化する。たとえばCCDの電荷転送部が第1回に示したTDI型のパラレル転送部がとして働く場合には、第2回の第1転送電板の図示されていない送光窓から入射した光による微小な量の発生電荷に対しては上述の理由からS/N比、したがつて感度の低下をまねく。この見地からは電荷量が増えてゆく第1回に図示のTDI型センサのシリアル部Sに近い井戸ほど深いことが望ましく、逆にシリアル部Sから遠い

井戸ほど深いことが得策である。前述したように各転送電板に階段的に変化する電位差を与え、それら以下の井戸の深さを初めは浅くし、井戸内電荷量の増大に応じて順次深めるべく工夫されているのはこのためである。

第3回は本発明の变形実施例たるTDIの平面的構式圖であつて、長い破線は電荷電位Sを、また40は前記シフト・レジスタにドライバを組合せたものを、それぞれ示している。本TDIのパラレル部P上の透光窓Wが防かれた各転送電板01～06にはレジスタ・ドライバ40を介して転送電圧と共に加えられる前述の分配電圧電位がそれぞれ印加されており、そのため電板01以下では深い井戸が、また電板06以下では深い井戸がそれぞれ生じている。その結果、井戸内に収納可能な最大電荷量は電板01以下で最少、電板06以下で最大となつており、そのため電板01以下の井戸中の信号電荷と雑音の比の悪化は防がれる。

なお、同図のシリアル部Sにおいては、上述したような井戸の深さ制御の必要はなく、そのため

該シリアル部Sは第1回に示した装置と同様に転送電圧01と02で駆動される。ただし、100および110はシリアル部Sおよびパラレル部Pに当ける各出力ゲートであつて、700および701は両出力ゲート電極10, 11の制御端子である。また、矢印又はパラレル部P内の、矢印はシリアル部S内のそれぞれの転送方向である。

第4回は本発明を適用した並列入力～直列出力(Parallel In/Serial Out)型のCCDファイルタの例であつて、h1～h6で示したものには互い保険付与部、INは信号入力端子、COは入力電荷制御電極、S1はその制御端子であつて第2回と同様の記号には同符号が付されている。本ファイルタは單一の電荷転送路の側面に並んだ複数の電荷供給端子71～76を備えているために、もし第2回で示したような井戸深さ制御がなされていなければ、各端子71～76から供給された電荷は、PからAまでの記号で示した各セル中において、矢印の転送方向に順次増大し、最終セルA中では飽和状態になりかねない。これをさけるため、セ

ル寸法を充分に大にとるとすれば、スペース・ファクタが悪くなる。また各井戸の深さを大とすれば、最初のセルPにおいては電荷量が小なるためS/N比が劣化する。このような点からこの第4回に示したCCDファイルタでは、前述の第2回について説明したように深さが順次増大する井戸を各セル中に形成するため、ドライバ・ブロック40の各端子1, 1, 1, 1, 1, 1に対して該ブロック40内において前述した電圧分配がすでに施されているが、便宜上図示を省略した。これによって最終セルA中で電荷が飽和することもなく最初のセルPにおいてS/N比が劣化することもない。なお、第8回中のシリアル部Sならびに第4回のCCD部中の斜線で示したワの部分は電荷塞内領域である。

以上に述べた本発明に係るEPB形式のCCDを用いた光センサにおいてはS/N比が向上し、ファイルタにおいては最終セル中の電荷饱和の防止ならびに寸法の減少などの面で、著しい効果をもたらすものであるゆえに、その実用上極めて大な

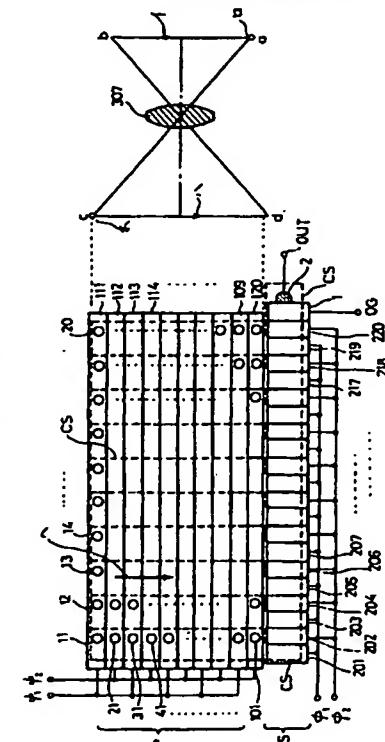
る効果が期待できる。

4. 図面の簡単な説明

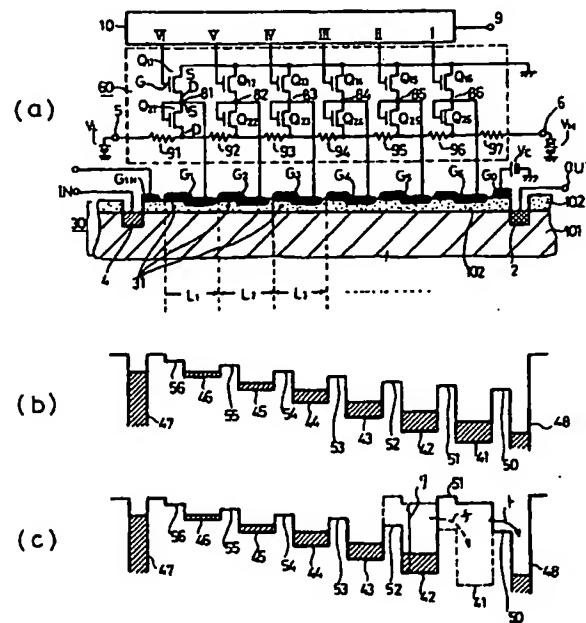
第1図は従来のTDI型CCDセンサの平面図、第2図は本発明に係る電荷転送装置の一実施例の構造を示す断面図および電位の井戸内電荷の挙動を示す図、第3図は本発明に係る電荷転送装置の一実施例の、また第4図は同じく本発明の、さらに他の一実施例の、それぞれを示す平面図である。

1, 1a, 1b: 出力ゲート電極、2: 出力ダイオード、4: 入力ダイオード、5, 6: 構造の抵抗が直列接続された母線の端子、9: レフト・リストラ10の動作開始信号入力端子、11, 12, 13, ..., 20, 21, 31, 41, ..., 101: 透光窓、30: CCD、41~48: 電位の井戸、50~56: 電位の側壁、A, B, C, D, E, F: CCDフィルタの転送電極、h1~h6: 置き保険付手錠、W: 本実施例の透光窓、Q11~Q18, Q21~Q28: スイッチ用および負荷用MOSトランジスタ

15

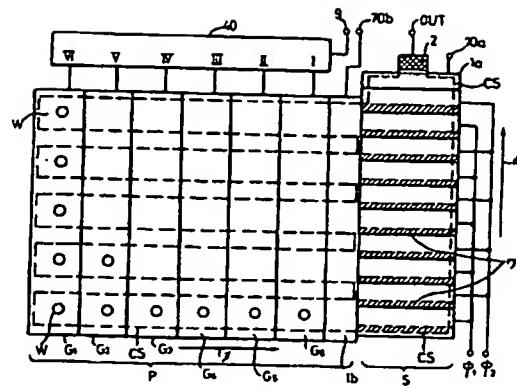


第2図



第3図

19755-165687(6)



第4図

